

**Family list**

**1** application(s) for: **JP6069503**

**1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE**

**Inventor:** KITAZAWA YOSHIYUKI

**Applicant:** SEIKO EPSON CORP

**EC:**

**IPC:** *H01L21/20; H01L21/336; H01L29/78; (+5)*

**Publication info:** **JP6069503 (A)** — 1994-03-11

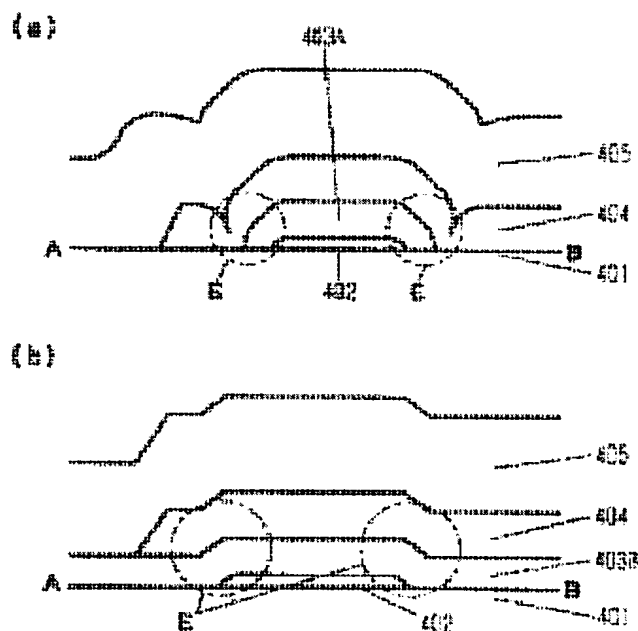
Data supplied from the *esp@cenet* database — Worldwide

## THIN-FILM TRANSISTOR AND ITS MANUFACTURE

**Patent number:** JP6069503 (A)  
**Publication date:** 1994-03-11  
**Inventor(s):** KITAZAWA YOSHIYUKI  
**Applicant(s):** SEIKO EPSON CORP  
**Classification:**  
 - international: *H01L21/20; H01L21/336; H01L29/78; H01L29/786; H01L21/02; H01L29/66; (IPC1-7): H01L29/784; H01L21/20*  
 - european:  
**Application number:** JP19920217928 19920817  
**Priority number(s):** JP19920217928 19920817

### Abstract of JP 6069503 (A)

**PURPOSE:** To eliminate the lack of uniformity of a characteristic due to the discontinuity or the high resistance of a metal gate electrode and due to a drop in a gate voltage by a method wherein, after a silicon oxide film has been deposited on a silicon film, the silicon film and the silicon oxide film are thermally oxidized and a thin film for gate electrode use is deposited and formed. **CONSTITUTION:** A difference in level at a channel edge E in a thermally oxidized silicon film 403A amounts to 160nm, and a difference in level at a part E in a thermally oxidized silicon film 403R amounts to 60nm. In addition, the magnitude of a tapering angle at the channel edge E becomes much smaller in a later process. As a result, a metal gate electrode 404 formed by a sputtering method does not cause the deterioration of a film quality or a constricted part at the edge part E, and the resistance of the metal gate electrode 404 does not become high or the metal gate electrode is not discontinued. Since the growth amount of silicon oxide is small as compared with conventional methods, the reduction in a film thickness at the edge part E is comparatively small, and it is possible to prevent the drop in breakdown strength of a gate.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (J P)

# (12) 公開特許公報 (A)

(11) 特許出願公開番号

## 特開平6-69503

(43) 公開日 平成6年(1994)3月11日

(51) Int. Cl.

識別記号

F I

H01L 29/784

21/20

9171-4M

9056-4M

H01L 29/78

311

G

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号

特願平4-217928

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(22) 出願日

平成4年(1992)8月17日

(72) 発明者 北沢 良幸

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

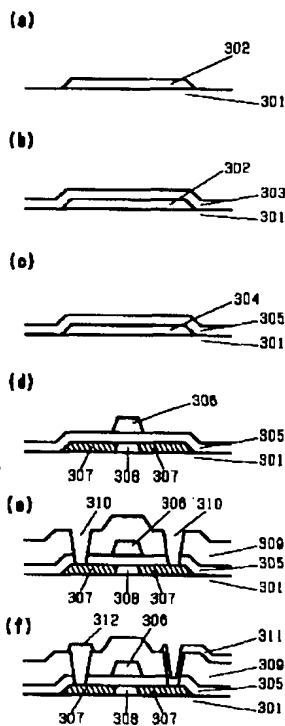
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 【発明の名称】 薄膜トランジスタおよびその製造方法

(57) 【要約】

【目的】 液晶表示装置の熱酸化膜を用いた薄膜トランジスタに関する製造方法

【構成】 島状にパターニングしたシリコン膜上に酸化シリコン膜を堆積した後、シリコン膜および酸化シリコン膜を同時に熱酸化することにより、ゲート熱酸化膜を形成する。



## 【特許請求の範囲】

【請求項 1】 石英基板上にシリコン膜を堆積しパターンニングする工程と、酸化シリコン膜を堆積する工程と、引き続き前記酸化シリコン膜下の前記シリコン膜をを熱酸化する工程と、ゲート電極用の薄膜を堆積しパターンニングを施す工程を含むことを特徴とする薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【 0 0 0 1 】

【産業上の利用分野】 本発明は液晶表示装置および半導体装置の熱酸化膜を用いた薄膜トランジスタおよびその製造方法に関するものである。

## 【 0 0 0 2 】

【従来の技術】 図 1 は液晶表示装置の薄膜トランジスタアレイの 1 画素を表方向からみ見たときの構造を表しており、101 は薄膜トランジスタのチャンネル部、102 はメタルゲート電極およびメタルゲート配線、103 はソース配線、104 は画素電極、105 はコンタクトホールを表わしている。

【 0 0 0 3 】 図 2 (a) ~ (f) は従来の薄膜トランジスタの製造方法を示す工程図であり、図 1 の線分 A B で切りとられた部分の断面で表わしている。

【 0 0 0 4 】 まず、石英基板 201 上に減圧 C V D 法あるいはプラズマ C V D 法によりアモルファスシリコン 202 を 100 n m 程度堆積し、そのアモルファスシリコンを島状にパターンニングすると図 2 (a) に示すようになる。次に、上記石英ウェハを 1100 ° C 以上で酸素および窒素の混合ガス雰囲気の中に入れて、アモルファスシリコン 202 をドライ熱酸化して、シリコン層 203 の膜厚が 40 n m、熱酸化された酸化シリコン層 204 の膜厚が 120 n m 程度になるように熱酸化する。

【 0 0 0 5 】 その後、C r あるいは T a などをスパッタリングしパターンニングすると、図 2 (c) に示すようにメタルゲート電極 205 が形成される。引き続きメタルゲート電極 205 をマスクにしてイオン注入し熱活性化すると、斜線部で示す領域が活性化されてソースおよびドレイン部 206 となり活性化されない領域はチャンネル 207 となる。次に、層間絶縁膜 208 (酸化シリコン膜) を C V D 法等により約 500 n m 堆積すると図 2 (d) に示すようになる。フォトリソグラフィ工程によりレジストをパターンニングし、ウェットエッチングあるいはドライエッチングによりゲート絶縁膜 203 および層間絶縁膜 208 の酸化シリコン層にコンタクトホール 209 を開口すると図 2 (e) に示すようになる。その後、図 2 (f) に示すように透明画素電極 210 およびソース配線 211 を形成することにより、図 1 に示したような液晶表示装置の薄膜トランジスタアレイが製造される。

## 【 0 0 0 6 】

【発明が解決しようとする課題】 本発明はゲート絶縁膜をシリコンの熱酸化法によって形成する薄膜トランジスタ

およびその製造方法において、(1) 従来の熱酸化膜を用いた薄膜トランジスタでは、熱酸化膜のチャネル・エッジ部分においてテーパ角が急峻になるため、熱酸化膜 (ゲート絶縁膜) 上に形成されたゲート電極は電気抵抗の増大あるいは断線を引き起こすこと、(2) 熱酸化膜はチャネル上部に比べチャネル・エッジ部分では膜厚が小さくなるため、ゲート絶縁膜の耐圧を向上することが困難であること、以上の課題を解決することを目的とする。

## 【 0 0 0 7 】

【課題を解決するための手段】 本発明は、石英基板上あるいは酸化シリコン層上にシリコン膜を堆積しパターンニングする工程と、酸化シリコン膜を堆積する工程と、引き続き前記シリコン膜および酸化シリコン膜を熱酸化する工程と、ゲート電極用の薄膜を堆積しパターンニングする工程により、薄膜トランジスタを形成することを特徴とする。

## 【 0 0 0 8 】

【実施例】 図 3 (a) ~ (f) は本発明による薄膜トランジスタの製造方法を示す工程図であり、図 1 の線分 A B で切りとられた部分の断面を表わしている。

【 0 0 0 9 】 まず、図 3 (a) に示すように石英基板 301 上に減圧 C V D 法あるいはプラズマ C V D 法によりアモルファスシリコン膜を 50 n m 程度堆積し、そのアモルファスシリコンを島状にパターンニングし、その島状のアモルファスシリコン 302 の上にプラズマ C V D あるいは常圧 C V D 法により酸化シリコン膜 303 を 100 n m 堆積する。次に、石英ウェハを 1100 ° C 以上で酸素および窒素の混合ガス雰囲気の中に入れて、アモルファスシリコン 302 および酸化シリコン 303 をドライ熱酸化して、多結晶シリコン層 304 の膜厚が 40 n m、熱酸化された酸化シリコン層 305 の膜厚が 120 n m 程度になるように熱酸化すると図 3 (b) に示すようになる。その後、C r あるいは T a などをスパッタリングしパターンニングすると、図 3 (c) に示すようにメタルゲート電極 306 が形成される。引き続きメタルゲート電極 306 をマスクにしてイオン注入し熱活性化すると、斜線部で示す領域が活性化されてソースおよびドレイン部 307 となり活性化されない領域はチャンネル 308 となる。次に、層間絶縁膜 309 (酸化シリコン膜) を C V D 法等により約 500 n m 堆積すると図 3 (d) に示すようになる。フォトリソグラフィ工程によりレジストをパターンニングし、ウェットエッチングあるいはドライエッチングによりゲート絶縁膜 305 および層間絶縁膜 309 の酸化シリコン層にコンタクトホール 310 を開口すると図 3 (e) に示すようになる。その後、図 3 (f) に示すように透明画素電極 311 およびソース配線 312 を形成することにより薄膜トランジスタを製造する。

【 0 0 1 0 】 図 4 (a) は前記 “従来の技術” にしたがって製造された薄膜トランジスタの図 1 の線分 C D で切り

とった部分の断面図であり、同じく図 4 (b) は前記本発明によって製造された薄膜トランジスタの図 1 の線分 C D で切りとった部分の断面図である。4 0 1 は石英基板、4 0 2 は 4 0 n m のチャネル部多結晶シリコン、4 0 3 A はチャネル 4 0 2 上の平坦部分の膜厚が 1 2 0 n m の熱酸化シリコン膜、4 0 3 B はチャネル 4 0 2 上が膜厚 1 2 0 n m で石英基板 4 0 1 上が膜厚約 1 0 0 n m の熱酸化シリコン膜、4 0 4 は膜厚 1 5 0 n m の C r あるいは T a などのメタルゲート電極、4 0 5 は C V D 法により堆積された 3 0 0 n m の酸化シリコン膜（層間絶縁膜）である。なお、以上各層の膜厚は一般的な値である。

【0 0 1 1】このとき、図 4 (a) の熱酸化シリコン膜 4 0 3 A のチャネルエッジ部 E での段差は 1 6 0 n m となり、図 4 (b) の熱酸化シリコン膜 4 0 3 B の E 部での段差は 6 0 n m となる。さらに、チャネルエッジ部 E でのテーパ角の大きさに関しては図 4 (b) の方がはるかに小さい。その結果、スパッタリング法によって成膜されたメタルゲート電極 4 0 4 は、図 4 (b) の方ではエッジ部 E において膜質の劣化あるいはくびれができておらず、メタルゲート電極 4 0 4 の高抵抗化あるいは断線をまねくことがなくなる。また、図 4 (a) に示すように、従来の多結晶シリコンの熱酸化では、チャネル上部よりも酸素拡散のされにくいエッジ部 E においては酸化シリコンの成長速度が遅いため、熱酸化シリコン膜 4 0 3 A の膜厚がチャネル上部よりも薄くなってしまいゲート耐圧が低下する。一方、図 4 (b) では従来法に比べて酸化シリコンの成長量が小さいため、エッジ部 E での膜厚の減少は比較的小さくてすみ、よってゲート耐圧の低下を防ぐことができる。

【0 0 1 2】

【発明の効果】以上説明したように本発明の薄膜トランジスタの製造方法を用いることにより、メタルゲート電極の断線あるいはメタルゲート電極の高抵抗化およびゲート耐圧の低下による薄膜トランジスタ特性の不均一性が解消された。

【図面の簡単な説明】

【図 1】 液晶表示装置の薄膜トランジスタアレイの平面図。

【図 2】 従来の製造方法による薄膜トランジスタの形成方法を示す工程図。

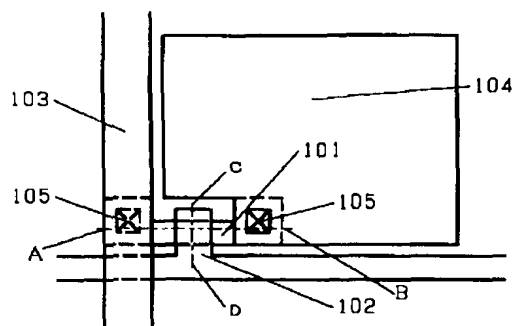
【図 3】 本発明による薄膜トランジスタの製造方法を示す工程図。

【図 4】 従来の薄膜トランジスタと本発明による薄膜トランジスタのチャネルエッジ部の形状を示す断面図。

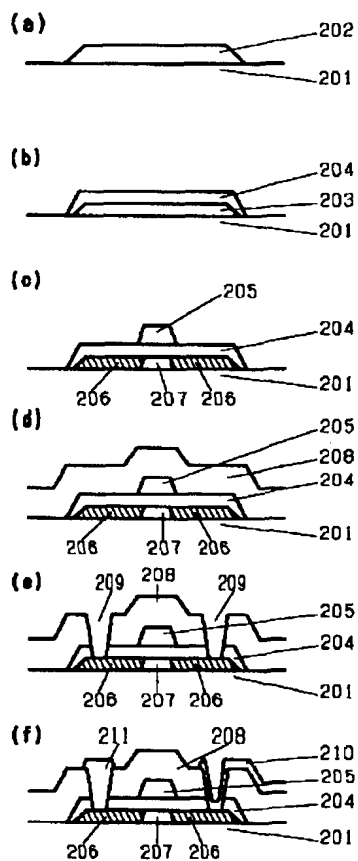
【符号の説明】

- 1 0 1 多結晶シリコン層
- 1 0 2 メタルゲート電極およびメタルゲート配線
- 1 0 3 ソース配線
- 1 0 4 透明画素電極
- 1 0 5 コンタクトホール
- 2 0 1 石英基板
- 2 0 2 アモルファスシリコン層
- 2 0 3 多結晶シリコン層
- 2 0 4 ゲート熱酸化膜（酸化シリコン膜）
- 2 0 5 メタルゲート電極
- 2 0 6 ソースおよびドレイン部
- 2 0 7 チャネル部
- 2 0 8 層間絶縁膜（酸化シリコン膜）
- 2 0 9 コンタクトホール
- 2 1 0 透明画素電極
- 2 1 1 ソース配線
- 3 0 1 石英基板
- 3 0 2 アモルファスシリコン層
- 3 0 3 C V D 法により堆積した酸化シリコン膜
- 3 0 4 多結晶シリコン層
- 3 0 5 ゲート熱酸化膜（酸化シリコン膜）
- 3 0 6 メタルゲート電極
- 3 0 7 ソースおよびドレイン部
- 3 0 8 チャネル部
- 3 0 9 層間絶縁膜（酸化シリコン膜）
- 3 1 0 コンタクトホール
- 3 1 1 透明画素電極
- 3 1 2 ソース配線
- 4 0 1 石英基板
- 4 0 2 チャネル部（多結晶シリコン層）
- 4 0 3 A 従来のゲート熱酸化膜（酸化シリコン膜）
- 4 0 3 B 本発明によるゲート熱酸化膜（酸化シリコン膜）
- 4 0 4 メタルゲート電極
- 4 0 5 層間絶縁膜（酸化シリコン膜）
- E チャネルエッジ部分

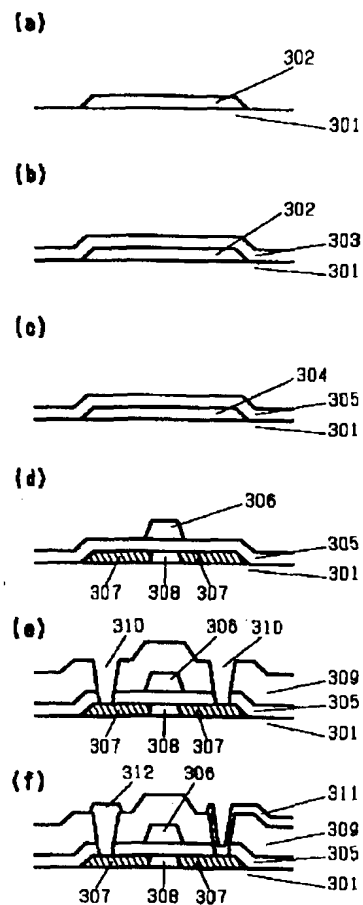
【図 1】



【図 2】



【図 3】



【図 4】

